

(6) Japanese Patent Application Laid-Open No. 09-82958 (1997)

**“MOS TYPE SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE SAME”**

The following is an English translation of an extract of the above application.

5

A doped polycrystalline silicon 13 and a non-doped polycrystalline silicon 14 are deposited in this order onto a P-type Si substrate 11 as a conductor layer for forming a gate electrode through an Si_3N_4 gate insulating film 12 and patterned using anisotropic etching. Thereafter, the oxidizing velocity of the doped polycrystalline silicon 13 becomes larger than other portions when the P-type Si substrate 11, the doped polycrystalline silicon 13 and the non-doped polycrystalline silicon 14 are oxidized. As a result, a gate electrode 16 having an ideal T-type structure having a pair of sidewall oxide films 15 at its lower portion can be obtained.

15

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-82958

(43)公開日 平成9年(1997)3月28日

| (51)IntCl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|-------------------------|-------|--------|---------------|---------|
| H 0 1 L 29/78 | | | H 0 1 L 29/78 | 3 0 1 G |
| 21/28 | 3 0 1 | | 21/28 | 3 0 1 D |
| 21/336 | | | 29/78 | 3 0 1 L |
| | | | | 3 0 1 S |

審査請求 未請求 請求項の数6 O L (全 8 頁)

(21)出願番号 特願平7-239351

(22)出願日 平成7年(1995)9月19日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山下 恭司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

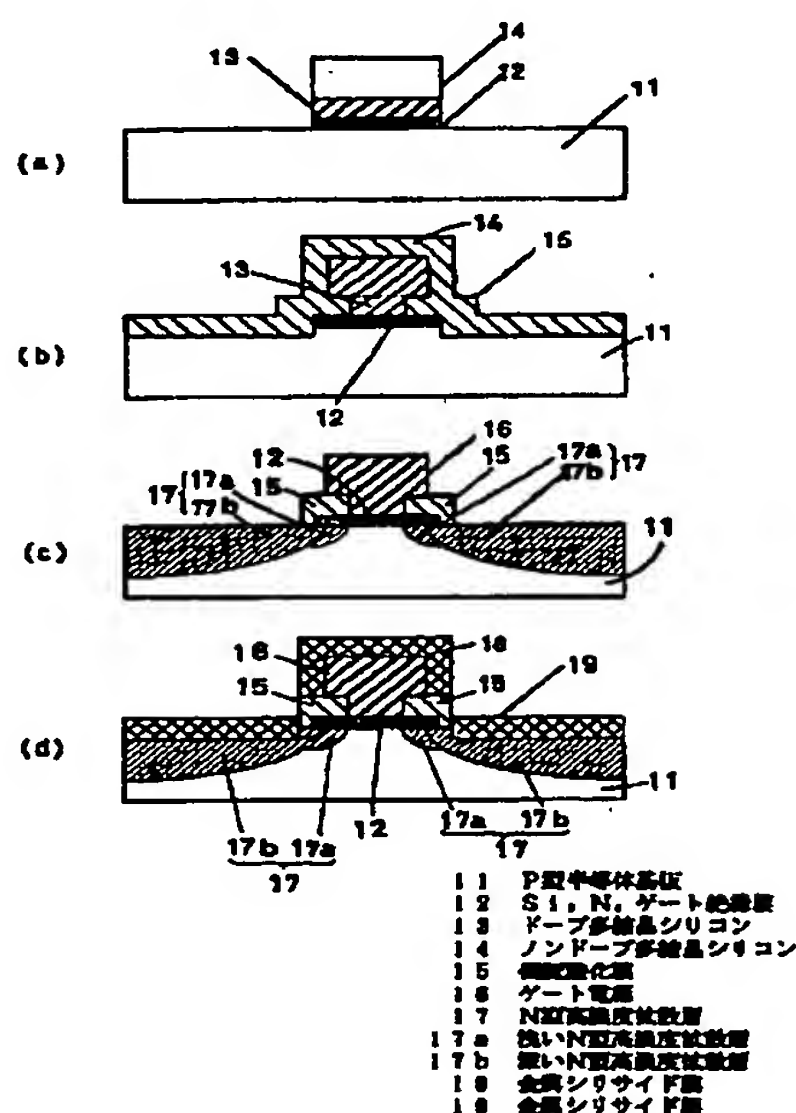
(74)代理人 弁理士 宮井 暎夫

(54)【発明の名称】 MOS型半導体装置およびその製造方法

(57)【要約】

【課題】 駆動力を増大させつつゲート・ドレイン間容量を低減させるとともにゲート抵抗を低減させる。

【解決手段】 P型Si基板11上にSi₃N₄ゲート絶縁膜12を介し、ゲート電極形成用の導電体層として、ドーパ多結晶シリコン13とノンドーパ多結晶シリコン14を堆積し、パターニングした後、P型Si基板11とドーパ多結晶シリコン13とノンドーパ多結晶シリコン14を酸化すると、ドーパ多結晶シリコン13が他の部分に比べて酸化速度が大きいことから、下部に一对の側壁酸化膜15を有する理想的なT型構造のゲート電極16ができる。また、P型Si基板にイオン注入によって形成されるN型高濃度拡散層17の浅い接合深さを有する部分のP型Si基板11の表面での接合部が一对の側壁酸化膜15の対向端部と一致している。また、ゲート電極16の上部に金属シリサイド層18を設けるだけでなく側部にも金属シリサイド層19を形成する。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、
前記半導体基板の一主面に選択的に形成したゲート絶縁膜と、
前記ゲート絶縁膜上に設けられたゲート電極と、
前記ゲート電極の両端部と前記ゲート絶縁膜の間に形成されて前記ゲート電極の両端位置より外方まで延びた一対の側壁酸化膜と、
前記半導体基板の前記ゲート絶縁膜を挟む領域に形成され前記一対の側壁酸化膜の下で浅い接合深さを有するとともに前記半導体基板表面における接合位置が前記一対の側壁酸化膜の対向端部と一致しソース／ドレインとなる一対の第2導電型の高濃度拡散層と、
前記ゲート電極の上部および側部にわたって形成した第1の金属シリサイド膜とを備えたMOS型半導体装置。
【請求項2】 ゲート絶縁膜が窒化膜である請求項1記載のMOS型半導体装置。
【請求項3】 一対の第2導電型の高濃度拡散層の表層部に第2の金属シリサイド膜を形成したことを特徴とする請求項1または請求項2記載のMOS型半導体装置。
【請求項4】 第1導電型の半導体基板の一主面にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にイオンがドーピングされた第1の導電性膜とイオンがドーピングされていない第2の導電性膜を順に堆積する工程と、
前記第2の導電性膜上のゲート電極になる所定の位置にフォトレジストをパターンニングする工程と、
前記フォトレジストをマスクとして前記ゲート絶縁膜、前記第1の導電性膜および前記第2の導電性膜からなる多層膜を垂直方向に強い異方性エッチングにより前記半導体基板の一主面が露出するまで選択的にエッチングする工程と、
前記フォトレジストを除去する工程と、
酸化工程により前記第1の導電性膜の側部に成長する酸化膜が前記第2の導電性膜の側部および上部と前記半導体基板に成長する酸化膜より厚くなるような一対の側壁酸化膜を形成する工程と、
等方性のエッチングにより前記第2の導電性膜の側部および上部と前記半導体基板に成長した酸化膜を除去し、前記第1の導電性膜の側部に成長した酸化膜を前記第2の導電性膜の側部より突出した状態に残置させる工程と、
イオン注入法により前記一対の側壁酸化膜の下で浅い接合深さを有するとともに前記半導体基板表面における接合位置が前記一対の側壁酸化膜の対向端部と一致しソース／ドレインとなる一対の第2導電型の高濃度拡散層を前記半導体基板の前記ゲート絶縁膜を挟む領域に形成する工程と、
前記半導体基板および前記ゲート電極上に金属膜を堆積する工程と、

前記ゲート電極の上部および側部と前記一対の第2導電型の高濃度拡散層の表層部に位置する前記金属膜をシリサイド化する工程と、
シリサイド化されなかった前記金属膜を除去する工程とを含むMOS型半導体装置の製造方法。

【請求項5】 ゲート絶縁膜が窒化膜である請求項4記載のMOS型半導体装置の製造方法。

【請求項6】 第1および第2の導電性膜が多結晶シリコン膜である請求項4または請求項5記載の記載のMOS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、集積回路の超高集積化を実現することができ、高速動作が可能で、かつ低消費電力のMOS型半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】超集積回路装置いわゆるVLSIにおいて、MOS型半導体装置は、超高集積化、高速動作および低消費電力化の要請からデバイスの微細化が行われている。このデバイスの微細化に伴い、寄生効果すなわち寄生容量、寄生抵抗の増大により、もはやスケーリングのトレンドに従った回路特性を維持できなくなりつつある。具体的には以下の2つの大きな問題点がある。

【0003】1) 回路特性に大きな影響を及ぼすゲート・ドレイン間容量のうち、微細化に伴いゲート・ドレインオーバーラップ容量(ゲート電極とドレイン領域が対向している部分に生じる容量)は減少するが、フリンジ容量(ゲート電極の側壁とドレイン領域の間に生じる容量)はスケーリングされずに一定、むしろ酸化膜が薄くなるために増加する。したがって、ゲート・ドレイン間容量の全体に占めるフリンジ容量の割合は増加し、スケーリングに見合った回路特性は期待できない。

【0004】2) ゲート長の減少による単位ゲート幅のゲート抵抗の増加により、同じゲート幅で比較すると、微細化に伴ってゲート電極のRC遅延効果の全体の遅延時間に占める割合は増大する。これらの2つの問題点を解決する手段としては以下のような例がある。1) のゲート・ドレイン間容量を低減する構造としてはT形ゲート構造があり、また、2) のゲート抵抗を低減する構造としてはサリサイドプロセスがある。その代表的な文献としては、1) では例えばI.E.E.E 1991 I.E.D.M. Technical Digest pp541-544に、2) では例えばIEEE Trans. on ED, ED-29, 1982, pp531-535に紹介されている。

【0005】以上のT型ゲート構造およびサリサイドプロセスを用いたMOS型半導体装置(MOSFET)の例を図3に示す。図3において、21はP型不純物を添加したSi基板からなるP型半導体基板、22はP型半導体基板21の主面に選択的に形成したゲート酸化膜、23はゲート酸化膜22上に形成したT形のゲート電

極、24は浅いN型高濃度拡散層 ($2 \times 10^{11} \text{ cm}^{-2}$ 程度)、25はSiO₂ サイドウォール、26は深いN型高濃度拡散層 ($2 \times 10^{11} \text{ cm}^{-2}$ 程度)、27はサリサイドプロセスによりゲート電極の上部に形成した金属シリサイド膜、28はサリサイドプロセスによりN型高濃度拡散層の表層部に形成した金属シリサイド膜である。

【0006】

【発明が解決しようとする課題】しかしながら、上記のようなT型ゲート構造およびサリサイドプロセスを採用した構造は、ディープサブミクロン領域以下のMOS型半導体装置として十分ではない。その理由は、従来のT型ゲート構造ではゲート長が小さくなっても、構造上駆動力があまり増加しないためである。

【0007】図4は従来例のNチャネルMOSFETのトランスコンダクタンスとゲート長L_{gate} (μm)を示す図であり、横軸がゲート長L_{gate} (μm)を示し、縦軸が単位ゲート幅あたりのトランスコンダクタンスG_m (mS/mm)を示している。なお、トランスコンダクタンスG_mはNチャネルMOSFETのドレイン電流をI_{ds}とし、ゲート電圧をV_{gs}としたときに、 $\partial I_{ds} / \partial V_{gs}$ で表される。

【0008】図4において、一番上の曲線が通常の構造のNチャネルMOSFETの特性であり、下の3本の曲線がT型ゲート構造のNチャネルMOSFETの特性で各々再酸化膜厚が16nm, 24nm, 36nmに対応している。このMOS型FETは、ゲート酸化膜厚t_{ox}が4nmであり、シングルドレイン構造である。図4より、通常の構造では、ゲート長が小さくなるとトランスコンダクタンスが増加するのに対して、T型ゲート構造では、ゲート長が小さくなってもトランスコンダクタンスがあまり増加せず、駆動力が増加しない。

【0009】その理由は以下に説明する通りである。つまり、ゲート端に細長いバースピークができ、その先端位置を正確に制御するのはきわめて困難であり、したがって図3のP型半導体基板21の表面におけるP型半導体基板21と浅いN型高濃度拡散領域24の境界、つまりP型半導体基板21と浅いN型高濃度拡散領域24の接合位置をT型のゲート電極23の脚部の端部にちょうど合わせるのが困難である。接合位置の間隔を狭く設定すると、場合によっては、ソースおよびドレインの両方の浅いN型高濃度拡散領域24がP型半導体基板21の表面でつながってしまい、MOS型半導体装置のチャンネルがなくなるので、接合位置がT型のゲート電極23の脚部の直下より外寄りになるように、浅いN型高濃度拡散領域24を形成せざるを得ない。

【0010】ところが、上述の接合位置が厚い酸化膜の領域 (T型のゲート電極23の脚部より外側の領域) にかかると、P型半導体基板21の表面におけるT型のゲート電極23の脚部の端から接合位置までの間の領域は、ゲート電極23との間のゲート酸化膜22の膜厚が

厚くなっているので電界が加わりにくく、しかも、N型にドーピングされておらずP型のままであるので、ゲート電極23にゲート電圧を加えることにより、T型のゲート電極23の脚部の直下にチャンネル部を形成したとしても、チャンネル部から浅いN型高濃度拡散層24のまでのP型領域が非常に大きな寄生抵抗になり、たとえチャンネル部の抵抗が小さくても、全体のトランスコンダクタンスはその寄生抵抗で律則されてしまい、ゲート長が短くなるにもかかわらず駆動力が増加しない。また、中心部の酸化膜厚も再酸化によるバースピークの成長によって厚くなるため、実効的なゲート酸化膜厚が増大し、チャンネル部の抵抗が増加する。この現象はゲート長が小さくなるほど顕著になる。この点でも駆動力の増加を制限している。

【0011】また、ゲート幅が10μmで、ゲート酸化膜厚が4nmのMOSFETでは、シート抵抗が10オーム/□程度であると仮定すると、そのゲート電極のRC遅延は9ps程度になる。このRC遅延は、シート抵抗が一定ならば、ゲート長によらず一定である。例えばゲート長が0.15μmのCMOSプロセスにおいては、そのゲート遅延は30ps程度と予測され、ゲート電極のRC遅延は全体の約1/3と非常に大きなものとなる。

【0012】この発明の目的は、ディープサブミクロン領域以下において、駆動力を増加させつつゲート・ドレイン間容量を低減することができるとともに、ゲート抵抗を十分に低減することができるMOS型半導体装置およびその製造方法を提供することである。

【0013】

【課題を解決するための手段】請求項1記載のMOS型半導体装置は、第1導電型の半導体基板の一主面にゲート絶縁膜を選択的に形成し、ゲート絶縁膜上にゲート電極を設け、ゲート電極の両端部とゲート絶縁膜の間にゲート電極の両端位置より外方まで延びた一对の側壁酸化膜を形成し、半導体基板のゲート絶縁膜を挟む領域に一对の側壁酸化膜の下で浅い接合深さを有するとともに半導体基板表面における接合位置が一对の側壁酸化膜の対向端部と一致しソース/ドレインとなる一对の第2導電型の高濃度拡散層を形成し、ゲート電極の上部および側部にわたって第1の金属シリサイド膜を形成している。

【0014】このMOS型半導体装置によると、ゲート電極の両端部とゲート絶縁膜の間にゲート電極の両端位置より外方まで延びた一对の側壁酸化膜が形成され、ゲート電極がT型ゲート構造となり、ゲート電極の側部とドレイン/ソースである一对の第2導電型の高濃度拡散層との間の距離が増加し、したがってゲート・ドレイン間容量が低減される。また、一对の第2導電型の高濃度拡散層の半導体基板表面における接合位置が一对の側壁酸化膜の対向端部と一致するので、ゲート絶縁膜下のチャンネル部となる半導体基板の領域の全体にゲート電圧が

有効に加えられ、一对の側壁酸化膜下に高抵抗の部分が残ることはないので、T型ゲート構造に伴いゲート長が短くなった分だけ駆動力が増加することになる。また、ゲート電極の上部だけでなく側部にも第1の金属シリサイド膜が形成されるので、ゲート抵抗が十分に低減される。また、第2の高濃度拡散層が一对の側壁酸化膜の下で浅い接合深さを有しているので、ショートチャネル効果に非常に強いデバイスとなる。

【0015】請求項2記載のMOS型半導体装置は、請求項1記載のMOS型半導体装置において、ゲート絶縁膜を窒化膜としている。このMOS型半導体装置によると、ゲート絶縁膜からその上のゲート電極への酸素の供給が遮断され、ゲート絶縁膜上に一对の側壁酸化膜を形成する際に酸素はゲート電極の側壁から供給されるのみとなり、ゲート電極の中心部へは酸素が供給されないで、酸化膜はゲート電極の側壁からゲート電極の内部に向かってゲート絶縁膜と略平行に進行することになり、一对の側壁酸化膜がバースピーク状になるのが抑えられて略四角形に近い状態となり、ゲート電極が理想的なT型に近い状態となる。したがって、T型の脚部を細くせずT型の脚部を長くすることが容易となり、ゲート・ドレイン間容量が一層低減される。

【0016】請求項3記載のMOS型半導体装置は、請求項1または請求項2記載のMOS型半導体装置において、一对の第2導電型の高濃度拡散層の表層部に第2の金属シリサイド膜を形成している。このMOS型半導体装置によると、ソース/ドレインの抵抗も減少することになる。請求項4記載のMOS型半導体装置の製造方法は、第1導電型の半導体基板の一主面にゲート絶縁膜を形成し、このゲート絶縁膜上にイオンがドーピングされた第1の導電性膜とイオンがドーピングされていない第2の導電性膜を順に堆積し、ついで第2の導電性膜上のゲート電極になる所定の位置にフォトレジストをパターンニングし、フォトレジストをマスクとしてゲート絶縁膜、第1の導電性膜および第2の導電性膜からなる多層膜を垂直方向に強い異方性エッチングにより半導体基板の一主面が露出するまで選択的にエッチングする。その後、フォトレジストを除去し、酸化工程により第1の導電性膜の側部に成長する酸化膜が第2の導電性膜の側部および上部と半導体基板に成長する酸化膜より厚くなるような一对の側壁酸化膜を形成し、ついで等方性のエッチングにより第2の導電性膜の側部および上部と半導体基板に成長した酸化膜を除去し、第1の導電性膜の側部に成長した酸化膜を第2の導電性膜の側部より突出した状態に残置させる。つぎに、イオン注入法により一对の側壁酸化膜の下で浅い接合深さを有するとともに半導体基板表面における接合位置が前記一对の側壁酸化膜の対向端部と一致しソース/ドレインとなる一对の第2導電型の高濃度拡散層を半導体基板のゲート絶縁膜を挟む領域に形成し、半導体基板およびゲート電極上に金属膜を

堆積し、ついでゲート電極の上部および側部と一对の第2導電型の高濃度拡散層の表層部に位置する金属膜をシリサイド化し、その後シリサイド化されなかった金属膜を除去する。

【0017】このMOS型半導体装置の製造方法によると、ゲート電極がイオンがドーピングされた第1の導電性膜（例えばドーブ多結晶シリコンからなる）とイオンがドーピングされていない第2の導電性膜（例えばノンドーブ多結晶シリコンからなる）の2層構造になっており、酸化工程では第1の導電性膜の酸化レートが第2の導電性膜の酸化レートより大きいために、ゲート電極の形状がT型になる。したがって、ゲート・ドレイン間容量が小さくなる。

【0018】また、半導体基板表面における接合位置が一对の側壁酸化膜の対向端部と一致させているので、ゲート絶縁膜下のチャネル部となる半導体基板の領域の全体にゲート電圧を有効に加えることができ、一对の側壁酸化膜下に高抵抗の部分が残ることはないので、T型ゲート構造に伴いゲート長が短くなった分だけ駆動力が増加することになる。なお、駆動力を増加させることが可能であるのは、酸化レートの違いを利用して一对の側壁酸化膜を形成しているので、その長さを精度よく制御することができ、したがって、イオン注入により形成する高濃度拡散層の接合位置を一对の側壁酸化膜の対向端部に容易に合わせることができるからである。

【0019】また、一对の側壁酸化膜により、ゲート電極上のシリサイド層とソース/ドレインのシリサイド層とが絶縁されるために、ゲート電極の上部だけでなく側部もシリサイド化でき、ゲート抵抗が十分に低減される。また、一对の側壁酸化膜により1回の注入工程で接合深さが浅い高濃度拡散層と接合深さが深い高濃度拡散層、すなわちエクステンションソース/ドレインが形成される。

【0020】請求項5記載のMOS型半導体装置の製造方法は、請求項4記載のMOS型半導体装置の製造方法において、ゲート絶縁膜を窒化膜としている。このMOS型半導体装置によると、ゲート絶縁膜からその上のゲート電極への酸素の供給が遮断され、ゲート絶縁膜上に一对の側壁酸化膜を形成する際に酸素はゲート電極の側壁から供給されるのみとなり、ゲート電極の中心部には酸素は供給されない。したがって、酸化膜はゲート電極の側壁からゲート電極の内部に向かってゲート絶縁膜と略平行に進行することになり、一对の側壁酸化膜がバースピーク状になるのが抑えられて略四角形に近い状態となり、ゲート電極が理想的なT型に近い状態になる。したがって、T型の脚部を細くせずT型の脚部を長くすることが容易となり、ゲート・ドレイン間容量が一層低減される。

【0021】請求項6記載のMOS型半導体装置の製造方法は、請求項4または請求項5記載のMOS型半導体

装置の製造方法において、第1および第2の導電性膜を多結晶シリコン膜としている。

【0022】

【発明の実施の形態】以下、この発明のMOS型半導体装置およびその製造方法の実施の形態について、図面を参照しながら説明する。

〔MOS型半導体装置の実施の形態〕図1はこの発明のMOS型半導体装置の実施の形態における断面図である。図1において、1はP型不純物を導入したSi基板からなるP型半導体基板である。2はP型半導体基板1の一主面上に選択的に形成したSi₃N₄膜からなるゲート絶縁膜である。4はゲート絶縁膜2上に設けられたT型構造のゲート電極であり、その両端部はゲート絶縁膜2の端部より内方に後退している。3はゲート電極4の端部とゲート絶縁膜2の間に形成された一対の側壁酸化膜であり、その端部はゲート電極4の端部を越え、さらにゲート絶縁膜2の端部を越えて外方まで延びている。5はP型半導体基板1のゲート絶縁膜2を挟む領域に形成され一対の側壁酸化膜3の下で浅い接合深さを有するとともにP型半導体基板1の表面における接合位置が一対の側壁酸化膜3の対向端部と一致しソース/ドレインとなる一対の第2導電型の高濃度拡散層である。5aは浅いN型高濃度拡散層、5bは深いN型拡散層である。6はT型構造のゲート電極4の上部および側部（脚部の側部を除く）にわたって形成した金属シリサイド膜であり、7は一対の第2導電型の高濃度拡散層5の表層部に形成した金属シリサイド膜であり、これはシリサイドプロセスにより形成され、一対の側壁酸化膜3で絶縁分離されている。

【0023】図1のMOS型半導体装置の構造で特徴的なことは、ゲート電極4の端部に略長方形の形状をした一対の側壁酸化膜3があるために、理想的なT型構造のゲート電極4となっており、この一対の側壁酸化膜3の対向端部に高濃度拡散層5の接合位置を合わせることと、ゲート電極4の上部だけでなく側部にも金属シリサイド膜6を形成していることと、一対の側壁酸化膜3下の高濃度拡散層5の接合深さが浅いことである。

【0024】なお、上記実施の形態では、ゲート絶縁膜2はシリコン窒化膜で構成していたが、シリコン酸化膜で構成してもよい。この実施の形態によると、ゲート電極4の両端部とゲート絶縁膜2の間にゲート電極4の両端位置より外方まで延びた一対の側壁酸化膜3を形成したので、T型ゲート構造となり、ゲート電極4の側部とドレインとの間の距離を稼ぐことができ、したがってゲート・ドレイン間容量を低減することができる。また、一対の第2導電型の高濃度拡散層5のP型半導体基板1の表面における接合位置を一対の側壁酸化膜3の対向端部と一致させたので、ゲート絶縁膜2下のチャンネル部となるP型半導体基板1の領域の全体にゲート電圧を有効に加えることができ、一対の側壁酸化膜3下にゲート電

圧が有効に加えられず高抵抗の部分が残ることはないので、T型ゲート構造に伴いゲート長が短くなった分だけ駆動力を増大させることができる。また、ゲート電極4の上部だけでなく側部にも第1の金属シリサイド膜6を形成しているので、ゲート抵抗を十分に低減することができる。また、第2の高濃度拡散層5が一対の側壁酸化膜3の下で浅い接合深さを有しているので、ショートチャンネル効果に非常に強いデバイスとなる。

【0025】また、ゲート絶縁膜2からその上のゲート電極4への酸素の供給が遮断され、ゲート絶縁膜2上一対の側壁酸化膜3を形成する際に酸素はゲート電極4の側壁から供給されるのみとなり、ゲート電極4の中心部へは酸素が供給されないため、酸化膜はゲート電極4の側壁からゲート電極4の内部に向かってゲート絶縁膜2と略平行に進行することになり、一対の側壁酸化膜3がバースピーク状になるのが抑えられて略四角形に近い状態となり、ゲート電極4を理想的なT型に近づけることができる。したがって、T型の脚部を細くせずにT型の脚部を長くすることが容易となり、ゲート・ドレイン間容量を一層低減することが可能となる。また、一対の第2導電型の高濃度拡散層5の表層部に金属シリサイド膜7を形成しているので、ソース/ドレインの抵抗も減少させることができる。

【0026】〔MOS型半導体装置の製造方法の実施の形態〕図2(a)～(d)はこの発明のMOS型半導体装置の製造方法の実施の形態における工程断面図である。以下、図2を参照しながら、MOS型半導体装置の製造方法について説明する。まず図2(a)に示すように、最初にP型Si基板からなるP型半導体基板11上にSi₃N₄ゲート絶縁膜12を8nm程度に形成する。なお、P型半導体基板11上とSi₃N₄ゲート絶縁膜12には各々1～2nm程度の自然酸化膜が形成されてもよい。その場合にはSi₃N₄ゲート絶縁膜12は4nm程度に形成し、酸化膜換算で4～5nm程度になるように設定する。なお、この場合の工程の順序としては、P型半導体基板11上に1～2nm程度の自然酸化膜が形成された後、Si₃N₄ゲート絶縁膜12を堆積し、さらにその後Si₃N₄ゲート絶縁膜12上に1～2nm程度の自然酸化膜が形成されることになる。

【0027】つぎに、Si₃N₄ゲート絶縁膜12上に、ドーパ多結晶シリコン膜13およびアンドーパ多結晶シリコン膜14を各々膜厚60nm、140nm程度に順に堆積する。このときドーパ多結晶シリコン膜13はN型で、 $2 \times 10^{14} \text{ cm}^{-3}$ 程度にドーピングされている。さらに、アンドーパ多結晶シリコン膜14上にフォトリソ（図示せず）を堆積し、その後アンドーパ多結晶シリコン膜14上のゲート電極16（図2(c)、(d)参照）になる所定の位置にフォトリソを残すようにパターンニングする。そして、フォトリソをマスクとして垂直方向に強い異方性エッチングを行うこと

により、選択的にゲート電極 1 6 となる部分を残す。最後に、フォトリソストを除去する。

【0028】つぎに、図 2 (b) に示すように、ウェット酸素雰囲気 (H_2 , O_2 , 雰囲気) 中で 850°C 15 分の熱処理を行う。これによりアンドープ多結晶シリコン膜 1 4 上の上部および側部にゲート電極 1 6 の端部から外側と内側に各々 10 nm 、合計 20 nm 、P 型半導体基板 1 1 上に 20 nm 、またドーパ多結晶シリコン膜 1 3 の側部にゲート端から外側と内側に各々 40 nm 、合計 80 nm の側壁酸化膜 1 5 を形成する。なお、上記の熱処理によって、不純物が拡散したドーパ多結晶シリコン 1 3 とノンドーパ多結晶 1 4 は一体のものとなる。

【0029】つぎに、図 2 (c) に示すように、 $NH_4F : HF = 20 : 1$ 、 20°C 、20 秒の条件のウェットエッチング (等方性エッチング) により、アンドープ多結晶シリコン膜 1 4 上の上部および側部と P 型半導体基板 1 1 上に形成された側壁酸化膜 1 5 を除去する。このとき、ドーパ多結晶シリコン膜 1 3 の側部の側壁酸化膜はゲート電極 1 6 の端部から外側と内側に各々 30 nm 、また高さが 40 nm となる。上記工程は等方性のドライエッチングでも可能である。

【0030】つぎに、N 型の不純物、注入エネルギー 20 keV 、注入ドーズ量 4×10^{14} 程度の条件で、例えば As イオンのイオン注入を行うことで、N 型のゲート電極 1 6 および P 型半導体基板上 1 1 にソース/ドレインとなる N 型高濃度拡散層 1 7 を形成する。さらに、ランプアニール (RTA ; ラピッドサーマルアニール) を 1000°C 、10 sec の条件で行うことで、ソース/ドレインおよびゲート電極 1 6 の活性化を同時に行う。このとき、N 型高濃度拡散層 1 7 の一対の側壁酸化膜 1 5 下の浅い N チャネル高濃度拡散層 1 7 a の接合深さは 50 nm 程度、それ以外のソース/ドレインの深い N 型高濃度拡散層 1 7 の接合深さは 100 nm 程度になる。また、ソース/ドレインのオーバーラップ長は 30 nm 程度になり、ソース/ドレインとなる N 型高濃度拡散層 1 7 の接合位置と一対の側壁酸化膜 1 5 の対向端部の位置が一致する。なお、このように N 型高濃度拡散層 1 7 の接合位置と一対の側壁酸化膜 1 5 の対向端部の位置をほぼ一致させるためには、ランプアニールの条件およびイオン注入の条件を適正に設定する必要がある。

【0031】つぎに、図 2 (d) に示すように、金属膜として Co を 10 nm 程度、TiN を 20 nm 程度順に堆積させる (Co の酸化防止のために 2 層構造としている)。第 1 の熱処理を 450°C 、30 分行うことでゲート電極 1 6 および P 型半導体基板上 1 1 のソース/ドレインとなる高濃度拡散層 1 7 をシリサイド化する (シリサイドプロセス)。さらに、シリサイド化されなかった Co/TiN 層を $NH_4OH + H_2O_2 + H_2O$ (65°C 、90 秒) および $HCl + H_2O_2$ (室温、3 分) の条件でエッチングすることで金属シリサイド膜 1 8、1

9 を形成する。さらに、金属シリサイド膜 1 8、1 9 の低抵抗化を図るため、第 2 の熱処理を 750°C 、30 秒の RTA で行う。

【0032】以上のように構成された MOS 型半導体装置の製造方法の実施の形態では、ゲート電極 1 6 がドーパ多結晶シリコン膜 1 3 とアンドープ多結晶シリコン膜 1 4 の 2 層構造になっており、酸化工程ではドーパ多結晶シリコン膜 1 3 の酸化レートが大きいために、ゲート電極 1 6 の形状を T 型にすることができる。この際、酸化レートの違いを利用して一対の側壁酸化膜 1 5 を形成しているので、その長さを精度よく制御することができ、したがって、イオン注入により形成する高濃度拡散層 1 7 の接合位置を一対の側壁酸化膜 1 5 の対向端部に容易に合わせることができ、したがって駆動力を容易に増加させることができる。また、ゲート絶縁膜 1 2 として窒化シリコン膜を用いているために、ゲート電極 1 6 の中心部には酸素が供給されず、ゲート電極 1 6 の端部にバースピークが形成されないために、理想的な T 型構造のゲート電極 1 6 を作ることができる。また、一対の側壁酸化膜 1 5 によりゲート電極 4 上の金属シリサイド膜 1 8 とソース/ドレインとなる高濃度拡散層 1 7 上の金属シリサイド膜 1 9 とを絶縁できるために、ゲート電極 1 6 の上部だけでなく側部もシリサイド化できる。また、一対の側壁酸化膜 1 5 の存在により 1 回の注入工程で接合深さが浅い高濃度拡散層 1 7 a と接合深さが深い高濃度拡散層 1 7 b、すなわちエクステンションソース/ドレインを形成できる。

【0033】

【発明の効果】請求項 1 記載の MOS 型半導体装置によれば、ゲート電極の両端部とゲート絶縁膜の間にゲート電極の両端位置より外方まで延びた一対の側壁酸化膜を形成したので、T 型ゲート構造となり、ゲート電極の側部とドレインとの間の距離を稼ぐことができ、したがってゲート・ドレイン間容量を低減することができる。また、一対の第 2 導電型の高濃度拡散層の半導体基板表面における接合位置を一対の側壁酸化膜の対向端部と一致させたので、ゲート絶縁膜下のチャネル部となる半導体基板の領域の全体にゲート電圧を有効に加えることができ、一対の側壁酸化膜下に高抵抗の部分が残ることはない。T 型ゲート構造に伴いゲート長が短くなった分だけ駆動力を増大させることができる。また、ゲート電極の上部だけでなく側部にも第 1 の金属シリサイド膜を形成しているので、ゲート抵抗を十分に低減することができる。また、第 2 の高濃度拡散層が一対の側壁酸化膜の下で浅い接合深さを有しているので、ショートチャネル効果に非常に強いデバイスとなる。

【0034】請求項 2 記載の MOS 型半導体装置によれば、ゲート絶縁膜からその上のゲート電極への酸素の供給が遮断され、ゲート絶縁膜上に一対の側壁酸化膜を形成する際に酸素はゲート電極の側壁から供給されるのみ

となり、ゲート電極の中心部へは酸素が供給されないの
で、酸化膜はゲート電極の側壁からゲート電極の内部に
向かってゲート絶縁膜と略平行に進行することになり、
一对の側壁酸化膜がバースピーク状になるのが抑えられ
て略四角形に近い状態となり、ゲート電極を理想的なT
型に近づけることができる。したがって、T型の脚部を
細くせずにT型の脚部を長くすることが容易となり、ゲ
ート・ドレイン間容量を一層低減することが可能とな
る。

【0035】請求項3記載のMOS型半導体装置によれば、
10 ソース/ドレインの抵抗も減少させることができ
る。請求項4記載のMOS型半導体装置の製造方法によ
れば、ゲート電極がイオンがドーピングされた第1の導
電性膜とイオンがドーピングされていない第2の導電性
膜の2層構造になっており、酸化工程では第1の導電性
膜の酸化レートが第2の導電性膜であるノンドーブ多結
晶シリコンの酸化レートより大きいために、ゲート電極
の形状をT型にすることができる。したがって、ゲート
・ドレイン間容量を小さくすることができる。

【0036】また、半導体基板表面における接合位置を
20 一对の側壁酸化膜の対向端部と一致させているので、ゲ
ート絶縁膜下のチャンネル部となる半導体基板の領域の全
体にゲート電圧を有効に加えることができ、一对の側壁
酸化膜下にゲート電圧が有効に加えられず高抵抗の部分
が残ることはないの、T型ゲート構造に伴いゲート長
が短くなった分だけ駆動力を増大させることができる。
なお、駆動力を容易に増加させることができるのは、酸
化レートの違いを利用して一对の側壁酸化膜を形成して
いるので、その長さを精度よく制御することができ、し
たがって、イオン注入により形成する高濃度拡散層の接
30 合位置を一对の側壁酸化膜の対向端部に容易に合わせる
ことができるからである。

【0037】また、一对の側壁酸化膜により、ゲート電
極上のシリサイド層とソース/ドレインのシリサイド層
とを絶縁できるためにゲート電極の上部だけでなく側部
もシリサイド化でき、ゲート抵抗を十分に低減すること
ができる。また、一对の側壁酸化膜により1回の注入工
程で接合深さが浅い高濃度拡散層と接合深さが深い高濃
度拡散層、すなわちエクステンションソース/ドレイン
を形成できる。

【0038】請求項5記載のMOS型半導体装置の製造
方法によれば、ゲート絶縁膜からその上のゲート電極へ
の酸素の供給が遮断され、ゲート絶縁膜上に一对の側壁
酸化膜を形成する際に酸素はゲート電極の側壁から供給
されるのみとなり、ゲート電極の中心部には酸素は供給
されないの、酸化膜はゲート電極の側壁からゲート電

極の内部に向かってゲート絶縁膜と略平行に進行するこ
とになり、一对の側壁酸化膜がバースピーク状になるの
が抑えられて略四角形に近い状態となり、ゲート電極を
理想的なT型に近づけることができる。したがって、T
型の脚部を細くせずにT型の脚部を長くすることが容易
となり、ゲート・ドレイン間容量を一層低減することが
可能となる。

【図面の簡単な説明】

【図1】この発明のMOS型半導体装置の実施の形態を
示す構造断面図である。

【図2】この発明のMOS型半導体装置の製造方法の実
施の形態を示す構造断面図である。

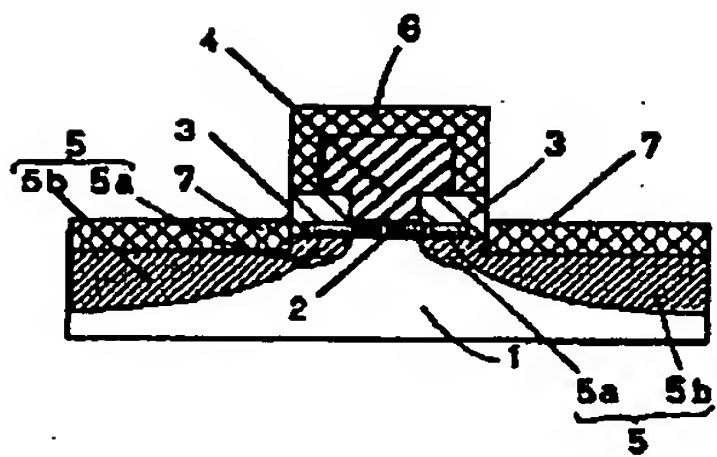
【図3】従来例のMOS型半導体装置を示す構造断面図
である。

【図4】従来例のMOS型半導体装置のトランスコンダ
クタンスとゲート長の関係を示す図である。

【符号の説明】

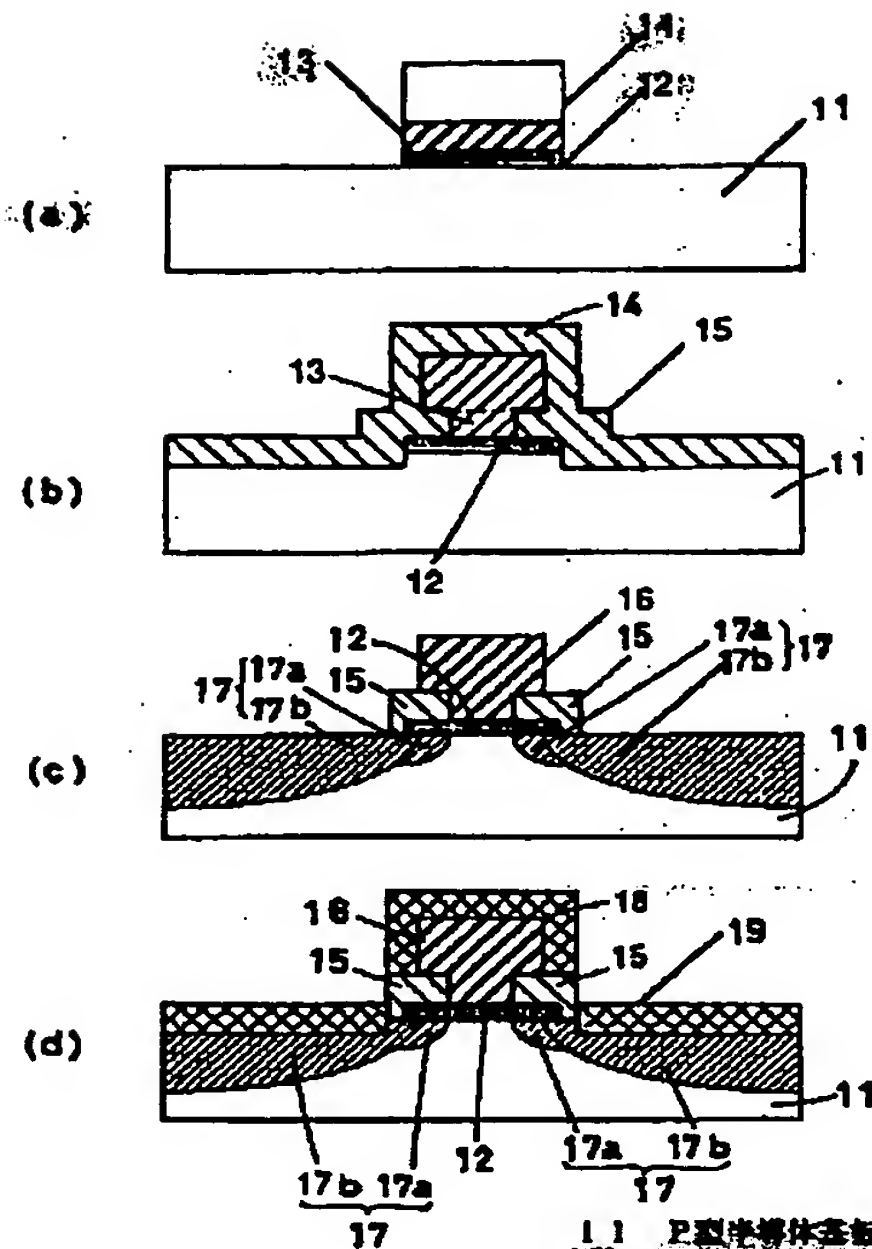
- | | |
|-------|---------------------------------------|
| 1 | P型半導体基板 |
| 2 | Si ₃ N ₄ ゲート絶縁膜 |
| 3 | 側壁酸化膜 |
| 4 | ゲート電極 |
| 5 | N型高濃度拡散層 |
| 5 a | 浅いN型高濃度拡散層 |
| 5 b | 深いN型高濃度拡散層 |
| 6 | 金属シリサイド膜 |
| 7 | 金属シリサイド膜 |
| 1 1 | P型半導体基板 |
| 1 2 | Si ₃ N ₄ ゲート絶縁膜 |
| 1 3 | ドーブ多結晶シリコン |
| 1 4 | ノンドーブ多結晶シリコン |
| 1 5 | 側壁酸化膜 |
| 1 6 | ゲート電極 |
| 1 7 | N型高濃度拡散層 |
| 1 7 a | 浅いN型高濃度拡散層 |
| 1 7 b | 深いN型高濃度拡散層 |
| 1 8 | 金属シリサイド膜 |
| 1 9 | 金属シリサイド膜 |
| 2 1 | P型半導体基板 |
| 2 2 | ゲート酸化膜 |
| 2 3 | ゲート電極 |
| 2 4 | 浅いN型高濃度拡散層 |
| 2 5 | SiO ₂ サイドウォール |
| 2 6 | 深いN型高濃度拡散層 |
| 2 7 | 金属シリサイド膜 |
| 2 8 | 金属シリサイド膜 |

【図1】



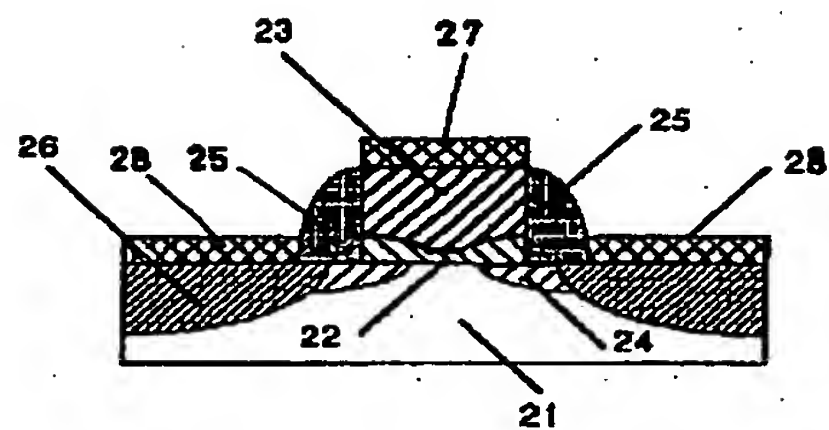
- 1 P型半導体基板
- 2 Si₃N₄ ゲート絶縁膜
- 3 側壁酸化膜
- 4 ゲート電極
- 5 N型高濃度拡散層
- 5a 浅いN型高濃度拡散層
- 5b 深いN型高濃度拡散層
- 6 金属シリサイド膜
- 7 金属シリサイド膜

【図2】



- 11 P型半導体基板
- 12 Si₃N₄ ゲート絶縁膜
- 13 ドープ多結晶シリコン
- 14 ノード電極
- 15 側壁酸化膜
- 16 ゲート電極
- 17 N型高濃度拡散層
- 17a 浅いN型高濃度拡散層
- 17b 深いN型高濃度拡散層
- 18 金属シリサイド膜
- 19 金属シリサイド膜

【図3】



- 21 P型半導体基板
- 22 ゲート絶縁膜
- 23 ゲート電極
- 24 浅いN型高濃度拡散層
- 25 SiO₂ サイドウォール
- 26 深いN型高濃度拡散層
- 27 金属シリサイド膜
- 28 金属シリサイド膜

【図4】

